


Original document

LAMINATED SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Patent number: JP2001332683
Publication date: 2001-11-30
Inventor: KABASAWA TOSHIYA
Applicant: NEC CORP
Classification:
- international: H01L25/065; H01L25/07; H01L25/18; H01L23/12; H01L23/52;
H05K1/18
- european:
Application number: JP20000149042 20000519
Priority number(s):

Also published as:

 JP2001332683 (A)

[View INPADOC patent family](#)

Abstract of **JP2001332683**

PROBLEM TO BE SOLVED: To provide a laminated semiconductor device for high-density mounting with no significant increase in mounting area compared to the case when a single semiconductor device is mounted.

SOLUTION: A first semiconductor device 10 is mounted on one surface of a wiring board 30 comprising a film-like board while a second semiconductor device 20 is mounted on the other surface of the wiring board 30. Related to the wiring board 30, a part except for the region held between the first and second semiconductor devices 10 and 20 is bent along the second semiconductor device 20 so that a part of the wiring board 30 is arranged on the rear surface of the second semiconductor device 20, with a solder ball 40 fitted to a connection terminal provided to the wiring board 30 arranged on the rear surface of the second semiconductor device 20. The first and second semiconductor devices 10 and 20 can be electrically connected to an external terminal through the wiring board 30 and the solder ball 40.

Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-332683
(P2001-332683A)

(43)公開日 平成13年11月30日(2001.11.30)

(51)Int.Cl. ⁷	識別記号	F I	ターミナル [*] (参考)
H 0 1 L	25/065	H 0 5 K 1/18	T 5 E 3 3 6
	25/07	H 0 1 L 25/08	Z
	25/18	23/12	L
	23/12		P
	23/52	23/52	C

審査請求 有 請求項の数14 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-149042(P2000-149042)

(22)出願日 平成12年5月19日(2000.5.19)

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 樺沢 俊也

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100108578

弁理士 高橋 詔男 (外3名)

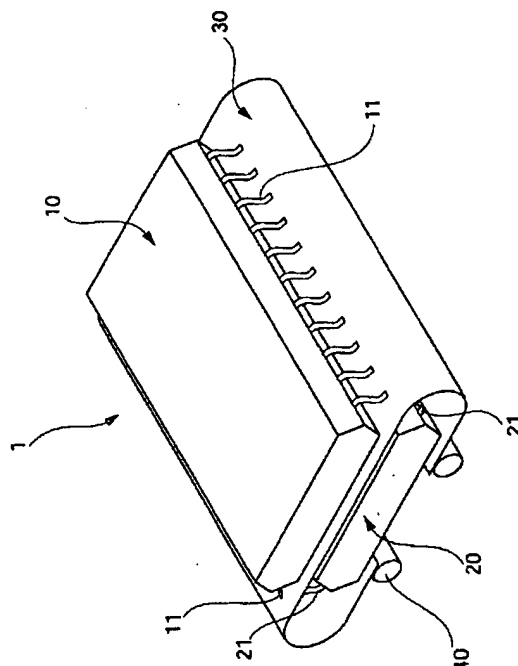
Fターム(参考) 5E336 AA04 BB02 CC02 CC55
EE03

(54)【発明の名称】 積層型半導体装置及びその製造方法

(57)【要約】

【課題】 半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にする積層型半導体装置を提供する。

【解決手段】 第1の半導体装置10がフィルム状基板からなる配線基板30の一方の面上に搭載され、第2の半導体装置20が配線基板30のもう一方の面上に搭載されている。また、配線基板30において、第1の半導体装置10と第2の半導体装置20に挟持された部分を除く部分が、第2の半導体装置20に沿って折り曲げられて、配線基板30の一部が第2の半導体装置20の裏面側に配置され、第2の半導体装置20の裏面側に配置された配線基板30に設けられた接続端子に半田ボール40が取り付けられている。第1の半導体装置10、第2の半導体装置20は、配線基板30と半田ボール40とを介して外部端子に電氣的に接続自在とされている。



【特許請求の範囲】

【請求項1】 第1の半導体装置と第2の半導体装置とを積み重ねてなる積層型半導体装置において、前記第1の半導体装置が配線と接続端子とを具備する配線基板の一方の面上に搭載され、前記第2の半導体装置が前記配線基板のもう一方の面上に搭載され、前記第1の半導体装置と前記第2の半導体装置とが前記配線基板を介して電気的に接続されたことを特徴とする積層型半導体装置。

【請求項2】 前記第1の半導体装置と前記第2の半導体装置とがいずれもリードを具備するものであり、該リードと前記配線基板の前記接続端子とが電気的に接続されたことを特徴とする請求項1記載の積層型半導体装置。

【請求項3】 前記配線基板が、前記第1、第2の半導体装置よりも大きい面積を有するフィルム状基板からなることを特徴とする請求項1又は請求項2記載の積層型半導体装置。

【請求項4】 前記配線基板において、前記第1の半導体装置と前記第2の半導体装置に扶持された部分を除く部分が、前記第2の半導体装置に沿って折り曲げられて、前記配線基板の一部が前記第2の半導体装置の裏面側に配置されたことを特徴とする請求項3記載の積層型半導体装置。

【請求項5】 前記第2の半導体装置の裏面側に配置された前記配線基板の一部が、接着部材を介して前記第2の半導体装置の裏面に固着されたことを特徴とする請求項4記載の積層型半導体装置。

【請求項6】 前記第2の半導体装置の裏面側に配置された前記配線基板の一部に半田ボールが取り付けられており、前記第1、第2の半導体装置が、前記配線基板と前記半田ボールとを介して外部端子に電気的に接続自在とされたことを特徴とする請求項4又は請求項5記載の積層型半導体装置。

【請求項7】 前記配線基板が外部端子接続用ピンを具備するものであり、前記第1、第2の半導体装置が、前記配線基板と前記外部端子接続用ピンとを介して、外部端子に電気的に接続自在とされたことを特徴とする請求項1又は請求項2記載の積層型半導体装置。

【請求項8】 第1の半導体装置と第2の半導体装置とを積み重ねてなる積層型半導体装置の製造方法であって、前記第1の半導体装置を配線と接続端子とを具備する配線基板の一方の面上に搭載し、前記第1の半導体装置と前記配線基板とを電気的に接続させた後、前記第2の半導体装置を前記配線基板のもう一方の面上に搭載し、前記第2の半導体装置と前記配線基板とを電気的に接続させて、

前記第1の半導体装置と前記第2の半導体装置とを前記配線基板を介して電気的に接続することを特徴とする積層型半導体装置の製造方法。

【請求項9】 前記第1の半導体装置と前記第2の半導体装置とがいずれもリードを具備するものであり、前記第1の半導体装置、前記第2の半導体装置と前記配線基板とを電気的に接続する際に、前記第1、第2の半導体装置の前記リードと前記配線基板の前記接続端子とを電気的に接続することを特徴とする請求項8記載の積層型半導体装置の製造方法。

【請求項10】 前記配線基板として、前記第1、第2の半導体装置よりも大きい面積を有するフィルム状基板を用いることを特徴とする請求項8又は請求項9記載の積層型半導体装置の製造方法。

【請求項11】 前記第2の半導体装置を前記配線基板に搭載した後、前記配線基板において、前記第1の半導体装置と前記第2の半導体装置に扶持された部分を除く部分を、前記第2の半導体装置に沿って折り曲げて、前記配線基板の一部を前記第2の半導体装置の裏面側に配置させることを特徴とする請求項10記載の積層型半導体装置の製造方法。

【請求項12】 前記第2の半導体装置の裏面側に配置させた前記配線基板の一部を、接着部材を介して前記第2の半導体装置の裏面に固着させることを特徴とする請求項11記載の積層型半導体装置の製造方法。

【請求項13】 前記第2の半導体装置の裏面側に配置させた前記配線基板の一部に半田ボールを取り付けることを特徴とする請求項11又は請求項12記載の積層型半導体装置の製造方法。

【請求項14】 前記第2の半導体装置を前記配線基板に搭載した後、前記配線基板に外部端子接続用ピンを設けることを特徴とする請求項8又は請求項9記載の積層型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高密度実装が可能な積層型半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化及びメモリ等の大容量化に対応して、高密度実装が可能な半導体装置として、半導体装置を複数積み重ねた構造の積層型半導体装置が提案されている。

【0003】例えば、特開平11-97619号には、単体の半導体装置を実装する場合に比較して実装面積を増加させることなく、高密度実装が可能な積層型半導体装置（スタック型の半導体装置）が開示されている。

【0004】図13に、特開平11-97619号に開

示された積層型半導体装置の概略断面構造を示し、この積層型半導体装置 100 の構造について説明する。

【0005】積層型半導体装置 100 は、第 1 の半導体装置（図示上側の半導体装置）110 と第 2 の半導体装置（図示下側の半導体装置）120 とを積み重ねた構造になっている。

【0006】第 1 の半導体装置 110 の図示左右側面には、第 1 の半導体装置 110 に内蔵された半導体素子に信号を入出力するための複数のリード 111 が配置されている。また、第 2 の半導体装置 120 は、SOB (Small Outline Ball) と呼ばれる半導体装置から構成されていて、半導体装置 120 の裏面（図示下面）において、図示左右端部には、第 2 の半導体装置 120 に内蔵された半導体素子に信号を入出力するためのリード 121 が配置され、リード 121 には接続端子となる半田ボール 122 が取り付けられている。

【0007】図 13 に示すように、第 1 の半導体装置 110 に設けられたリード 111 は、J 字状に折り曲げられていて、リード 111 によって半田ボール 122 を包み込む構造となっている。

【0008】積層型半導体装置 100 においては、第 2 の半導体装置 120 が、第 1 の半導体装置 110 のリード 111 の内方に保持されているので、第 1 の半導体装置 110 を単体で実装する場合に比較して実装面積は増加せず、しかも第 2 の半導体装置 120 を重ねたことで高密度実装が可能になっている。

【0009】

【発明が解決しようとする課題】上記の積層型半導体装置 100 は、第 1 の半導体装置 110 と第 2 の半導体装置 120 とを積み重ねた後、リード 111 を J 字状に折り曲げて、リード 111 によって半田ボール 122 を包み込むことにより製造されるが、第 1 の半導体装置 110 と第 2 の半導体装置 120 とを積み重ねた後、リード 111 を J 字状に折り曲げるためには特殊な加工機及び専用搭載機が必要になっている。

【0010】また、積層型半導体装置 100 では第 1 の半導体装置 110、第 2 の半導体装置として異なる種類の半導体装置を用いているため、積層型半導体装置 100 を製造する際に、種類の異なる半導体装置を別個に管理する必要があり、部品管理に手間がかかるという問題点を有している。

【0011】そこで、本発明は上記課題を解決し、半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にするとともに、特殊な加工機や専用搭載機を必要とせず容易に製造することができ、かつ製造する際に部品管理に手間がかからない積層型半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明者が上記課題を解

決するべく、研究を行った結果、以下に記載の積層型半導体装置を発明するに到った。

【0013】本発明の積層型半導体装置は、第 1 の半導体装置と第 2 の半導体装置とを積み重ねてなる積層型半導体装置において、前記第 1 の半導体装置が配線と接続端子とを具備する配線基板の一方の面上に搭載され、前記第 2 の半導体装置が前記配線基板のもう一方の面上に搭載され、前記第 1 の半導体装置と前記第 2 の半導体装置とが前記配線基板を介して電氣的に接続されたことを特徴とする。

【0014】また、前記第 1 の半導体装置と前記第 2 の半導体装置とがいずれもリードを具備するものであり、該リードと前記配線基板の前記接続端子とが電氣的に接続されたことを特徴とする。

【0015】また、前記配線基板が、前記第 1、第 2 の半導体装置よりも大きい面積を有するフィルム状基板からなることを特徴とする。

【0016】また、前記配線基板において、前記第 1 の半導体装置と前記第 2 の半導体装置に挟持された部分を除く部分が、前記第 2 の半導体装置に沿って折り曲げられて、前記配線基板の一部が前記第 2 の半導体装置の裏面側に配置されたことを特徴とする。

【0017】また、折り曲げられた配線基板の形状を維持するために、前記第 2 の半導体装置の裏面側に配置された前記配線基板の一部が、耐熱性テープ、接着剤などからなる接着部材を介して前記第 2 の半導体装置の裏面に固着されていることが望ましい。

【0018】さらに、前記第 2 の半導体装置の裏面側に配置された前記配線基板の一部に半田ボールが取り付けられており、前記第 1、第 2 の半導体装置が、前記配線基板と前記半田ボールとを介して外部端子に電氣的に接続自在とされたことを特徴とする。

【0019】以上の本発明の積層型半導体装置は、第 1 の半導体装置が配線基板の一方の面上に搭載されて、第 2 の半導体装置が配線基板のもう一方の面上に搭載されていて、しかも、第 2 の半導体装置の裏面側に配置させた配線基板に半田ボールが取り付けられていて、該半田ボールを介して外部端子に電氣的に接続自在となっているため、外部端子に接続する部分は第 1、第 2 の半導体装置の実装領域内に位置されている。

【0020】したがって、本発明の積層型半導体装置は、半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にするものとなっている。

【0021】なお、フィルム状基板からなる配線基板の厚みは薄いので、本発明の積層型半導体装置の高さは、第 1 の半導体装置と第 2 の半導体装置とを 2 段に積層した場合の高さとはほとんど同じになっている。

【0022】さらに、本発明の積層型半導体装置においては、第 1 の半導体装置と第 2 の半導体装置として同じ

10

20

30

40

50

ない基板等にも実装可能な構造となっている。

【0032】また、この積層型半導体装置は、第1の半導体装置と第2の半導体装置を配線基板上に搭載した後、配線基板上に外部接続用ピンを設けることにより製造することができ、特殊な加工機や専用搭載機を必要とせず、容易に製造することができるものである。

【0033】

【0034】第1実施形態

【0035】図1において、符号10、20はそれぞれ第1の半導体装置（図示上側の半導体装置）、第2の半導体装置（図示下側の半導体装置）を示し、符号30は配線と接続端子とを具備する配線基板を示し、符号40は半田ボールを示している。

【0036】積層型半導体装置1において、第1の半導体装置10、第2の半導体装置20は、TSOP（Thin Small Out-Line Package）等の2つ又は4つの側面に、半導体装置10、20に内蔵された半導体素子に信号を入出力するための複数のリード11、21が配置された半導体装置であり、図1には、例として、2つの側面にリード11、21が配置された第1の半導体装置10、第2の半導体装置20について図示している。

【００３７】第１の半導体装置１０と第２の半導体装置２０とは異なる種類の半導体装置からなっているとしても良いが、積層型半導体装置１を製造する際に部品管理の手間を省くために、図１に示すように、第１の半導体装置１０と第２の半導体装置２０とは同一の半導体装置から構成されていることが望ましい。

【００３８】積層型半導体装置１において、第１の半導体装置１０は、配線基板３０の一方の面上（図示上側の面上）に搭載されていて、第２の半導体装置２０は配線基板３０のもう一方の面上（図示下側の面上）に搭載されている。なお、第１の半導体装置１０、第２の半導体装置２０はいずれもリード１１、２１が配線基板３０に接触するように配線基板３０の面上に搭載されている。

40 【0039】また、図1に示すように、配線基板30において、第1の半導体装置10と第2の半導体装置20に挟持された部分を除く部分が、第2の半導体装置20に沿って折り曲げられていて、配線基板30の一部は第2の半導体装置20の裏面側（図示下面側）に配置されている。

【００４０】積層型半導体装置１の配線基板３０のみを取り出して図２に示す。また、リード１１、２１と配線基板３０との境界近傍部分を拡大した概略断面構造を図３に示す。

50 【0041】図2に示すように、配線基板30の図示上

側の面上には2列に配列された複数の銅などの金属からなる接続端子31が設けられている。同様に、配線基板30の図示下側の面上にも図示されていないが、2列に配列された複数の銅などの金属からなる接続端子32が設けられている。

【0042】図3に示すように、各接続端子31、32は各リード11、21に対応するように設けられていて、リード11、21と接続端子31、32とは半田部33、34を介して電氣的に接続されている。また、配線基板30は、図示は省略している複数の配線を具備して、各接続端子31と各接続端子32とは配線を介して電氣的に接続されている。したがって、第1の半導体装置10と第2の半導体装置20とは配線基板30を介して電氣的に接続されている。

【0043】また、図2に示す配線基板30を図示下方から見たときの配線基板30の構造を図4に示す。また、図5に、積層型半導体装置1において、配線基板30の折り曲げられた部分の近傍部分の概略断面構造を示す。なお、図5においては簡略化のため、半田部33、34を省略している。

【0044】図5に示すように、積層型半導体装置1において、折り曲げられた配線基板30の形状を維持するために、第2の半導体装置20の裏面側に配置された配線基板30の一部は、耐熱性テープ、接着剤などからなる接着部材36を介して第2の半導体装置20の裏面に固着されていることが望ましい。

【0045】また、図4、図5に示すように、配線基板30において、第2の半導体装置20の裏面側に配置された部分の外側には外部端子に接続するための複数の接続端子35が設けられていて、各接続端子35に半田ボール40が取り付けられている。

【0046】積層型半導体装置1において、第1の半導体装置10と第2の半導体装置20とは配線基板30と半田ボール40を介して外部端子に電氣的に接続自在な構造となっていて、半田ボール40を外部端子に電氣的に接続することにより、積層型半導体装置1を基板等に実装することができる。

【0047】次に、図6～図11に基づいて、本発明に係る第1実施形態の積層型半導体装置1の製造方法について説明する。

【0048】図6は、積層型半導体装置1の製造に用いる第1の半導体装置10（第2の半導体装置20）の構造を示す斜視図である。第1の半導体装置10（第2の半導体装置20）の構造は先に説明したので、説明は省略する。

【0049】また、図7は、積層型半導体装置1の製造に用いるフィルム状基板からなる配線基板30の構造を示す斜視図である。図7に示すように、積層型半導体装置1の製造を行う前の配線基板30は、第1の半導体装置10、第2の半導体装置20よりも大きい面積を有す

る平坦な基板である。

【0050】配線基板30の図示上側の面上には2列に配列された複数の接続端子31が設けられていて、図示下側の面上にも図示はされていないが、同様に2列に配列された複数の接続端子32が設けられている。

【0051】接続端子31は、第1の半導体装置10を配線基板30の図示上側の面上に設置したときに、各リード11が各接続端子31に接触するように所定の位置に設けられている。また、接続端子32についても同様に、第2の半導体装置20を配線基板30の図示下側の面上に設置したときに、各リード21が各接続端子32に接触するように所定の位置に設けられている。

【0052】また、配線基板30の図示上側の面上において、図示左端部と図示右端部には配線基板30を外部端子に接続するための複数の接続端子35が設けられている。

【0053】はじめに、図8に示すように、第1の半導体装置10の各リード11を配線基板30の各接続端子31に電氣的に接続させて、第1の半導体装置10を配線基板30の一方の面上（図示上側の面上）に搭載する。

【0054】次いで、図9に示すように、第2の半導体装置20の各リード21を配線基板の接続端子32に電氣的に接続させて、第2の半導体装置20を配線基板30のもう一方の面上（図示下側の面上）に搭載する。

【0055】これらの工程において、リード11（21）を各接続端子31（32）に電氣的に接続する方法について説明する。

【0056】配線基板30の各接続端子31（32）の表面に半田ペーストを印刷してリフロー工程を行うことにより、半田をいったん溶融させた後、固化させて、図3に示したように、各リード11（21）と各接続端子31（32）との間に半田部33（34）を形成する。この方法により、各リード11（21）と各接続端子31（32）とを、半田部33（34）を介して固着することができるとともに電氣的に接続することができる。

【0057】また、先に説明したように、接続端子31と32とは電氣的に接続されているので、図9に示す第1の半導体装置10と第2の半導体装置20とは配線基板30を介して電氣的に接続されたものとなる。

【0058】次に、図10に示すように、配線基板30において、第1の半導体装置10と第2の半導体装置20に挟持された部分を除く部分を、第2の半導体装置20に沿って折り曲げて、配線基板30の一部を第2の半導体装置20の裏面側（図示下面側）に配置させる。

【0059】このとき、図5に示したように、折り曲げた配線基板30の形状を維持するために、第2の半導体装置20の裏面側に配置させた配線基板30の一部を、耐熱性テープ、接着剤などからなる接着部材36を介して第2の半導体装置20の裏面に固着することが望まし

い。

【0060】最後に、図11に示すように、第2の半導体装置20の裏面側に配置させた配線基板30の外側に設けられている接続端子35に半田ボール40を搭載し、リフロー工程を行い、半田ボール40をいったん溶融させた後、固化させることにより、各接続端子35と各半田ボール40とを固着するとともに電氣的に接続し、積層型半導体装置1が製造される。

【0061】本実施形態の積層型半導体装置1は、第1の半導体装置10が配線基板30の一方の面上に搭載されて、第2の半導体装置20が配線基板30のもう一方の面上に搭載されていて、しかも、第2の半導体装置20の裏面側に配置させた配線基板30に半田ボール40が取り付けられていて、半田ボール40を介して外部端子に電氣的に接続自在となっているため、外部端子に接続する部分は第1、第2の半導体装置10、20の実装領域内に位置されている。

【0062】したがって、本発明の積層型半導体装置1は、半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にするものとなっている。

【0063】なお、フィルム状基板からなる配線基板30の厚みは薄いため、本発明の積層型半導体装置1の高さは、第1の半導体装置10と第2の半導体装置20とを2段に積み重ねた場合の高さとはほとんど同じになっている。

【0064】さらに、本発明の積層型半導体装置1では、第1の半導体装置10と第2の半導体装置20として同じ半導体装置を使用することができるので、積層型半導体装置1を製造する際に部品管理に手間がかからない。

【0065】また、本実施形態の積層型半導体装置1の製造方法で説明したように、本実施形態の積層型半導体装置1は、特殊な加工機や専用搭載機を必要とせず、容易に製造することができるものである。

【0066】第2実施形態

図12に、本発明に係る第2実施形態の積層型半導体装置2の概略構造を示し、この積層型半導体装置の構造について説明する。図12において、積層型半導体装置1と同じ構成要素には同じ参照符号を付し、説明は省略する。

【0067】図12において、符号50はガラスエポキシ基板、セラミック基板などからなる、配線と接続端子とを具備する配線基板を示している。また、符号60は配線基板50を外部端子に接続するための外部端子接続用ピンを示している。

【0068】図12に示すように、積層型半導体装置2において、第1の半導体装置10は配線基板50の一方の面上（図示上側の面上）に搭載されていて、第2の半導体装置20は配線基板50のもう一方の面上（図示下

側の面上）に搭載されている。

【0069】第1実施形態と同様、第1の半導体装置10、第2の半導体装置20はいずれもリード11、21が配線基板50に接触するように配線基板50の面上に搭載されている。

【0070】また、第1実施形態の配線基板30と同様に、配線基板50には各リード11、21に対応するように接続端子が設けられていて、各リード11、21と配線基板50の接続端子とは半田部を介して固着されているとともに電氣的に接続されている。したがって、第1実施形態と同様に、第1の半導体装置10と第2の半導体装置20とは配線基板50を介して電氣的に接続されている。

【0071】本実施形態において、配線基板50の図示左端部と図示右端部には、外部端子に接続するための外部端子接続用ピン60が図示上下方向に配線基板50を貫通して複数設けられていて、第1の半導体装置10と第2の半導体装置20とは、配線基板50と外部端子接続用ピン60とを介して外部端子に電氣的に接続自在となっている。

【0072】積層型半導体装置2を実装する基板等にスルーホールを設けて、該スルーホールに外部端子接続用ピン60を挿入することにより、積層型半導体装置2を基板等を実装することができる。

【0073】また、積層型半導体装置2は、第1実施形態と同様に、第1の半導体装置10と第2の半導体装置10とを順次配線基板50の面上に搭載した後、配線基板50に外部端子接続用ピン60を取り付けることにより製造することができる。

【0074】本実施形態の積層型半導体装置2は、第1の半導体装置10が配線基板30の一方の面上に搭載されて、第2の半導体装置20が配線基板30のもう一方の面上に搭載されているので、半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にするものとなっている。

【0075】ただし、積層型半導体装置2は、外部端子接続用ピンが第1、第2の半導体装置10、20の実装領域よりも外側に設けられているため、第1実施形態の積層型半導体装置1に比較して実装面積が大きいものとなっている。

【0076】また、配線基板50には外部端子接続用ピンが設けられているので、本実施形態の積層型半導体装置2は、半田ボールを介して実装できない基板等にも実装可能なものとなっている。

【0077】また、本実施形態の積層型半導体装置2においても、第1の半導体装置10と第2の半導体装置20として同じ半導体装置を使用することができるので、積層型半導体装置2を製造する際に部品管理に手間がかからない。

【0078】また、積層型半導体装置2は、先に説明し

たように製造することができ、特殊な加工機や専用搭載機を必要とせず、容易に製造することができるものである。

【0079】

【発明の効果】以上説明したように、本発明によれば、半導体装置を単体で実装する場合に比較して実装面積を大きく増加させることなく、高密度実装を可能にするとともに、特殊な加工機や専用搭載機を必要とせず容易に製造することができ、かつ製造する際に部品管理に手間がかからない積層型半導体装置及びその製造方法を提供

することができる。

【図面の簡単な説明】

【図1】 図1は、本発明に係る第1実施形態の積層型

半導体装置の概略構造を示す斜視図である。

【図2】 図2は、本発明に係る第1実施形態の積層型

半導体装置の配線基板の構造を示す斜視図である。

【図3】 図3は、本発明に係る第1実施形態の積層型半導体装置において、リードと配線基板との境界近傍部分を拡大した概略断面図である。

【図4】 図4は、図2に示す配線基板を下方から見たときの図である。

【図5】 図5は、本発明に係る第1実施形態の積層型半導体装置において、配線基板の折り曲げられた部分の近傍部分の概略断面図である。

【図6】 図6は、本発明に係る第1実施形態の積層型半導体装置の製造方法において用いられる半導体装置の構造を示す斜視図である。

【図7】 図7は、本発明に係る第1実施形態の積層型半導体装置の製造方法において用いられる配線基板の構

＊造を示す斜視図である。

【図8】 図8は、本発明に係る第1実施形態の積層型半導体装置の製造方法において、第1の半導体装置を配線基板に搭載する工程を示す斜視図である。

【図9】 図9は、本発明に係る第1実施形態の積層型半導体装置の製造方法において、第2の半導体装置を配線基板に搭載する工程を示す斜視図である。

【図10】 図10は、本発明に係る第1実施形態の積層型半導体装置の製造方法において、配線基板を折り曲げる工程を示す斜視図である。

【図11】 図11は、本発明に係る第1実施形態の積層型半導体装置の製造方法において、配線基板に半田ボールを取り付ける工程を示す斜視図である。

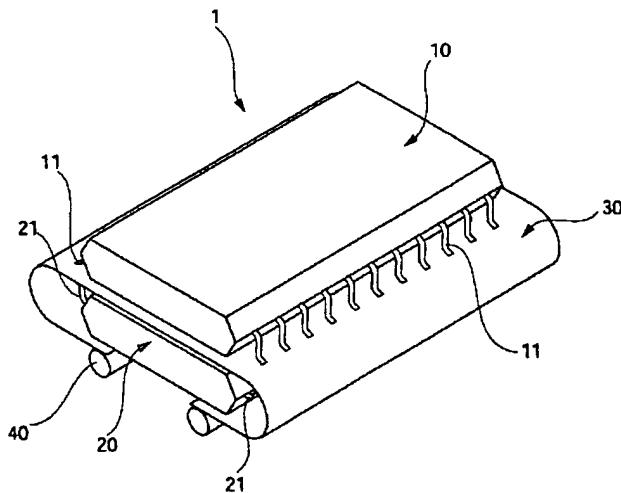
【図12】 図12は、本発明に係る第2実施形態の積層型半導体装置の概略構造を示す斜視図である。

【図13】 図13は、従来の積層型半導体装置の構造を示す概略断面図である。

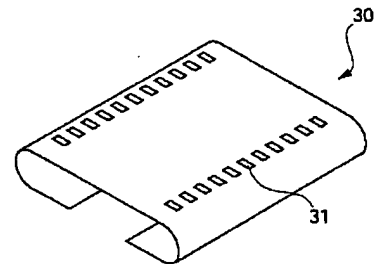
【符号の説明】

1、2	積層型半導体装置
10	第1の半導体装置
20	第2の半導体装置
11、21	リード
30、50	配線基板
31、32	接続端子
33、34	半田部
35	接続端子
36	接着部材
40	半田ボール
60	外部端子接続用ピン

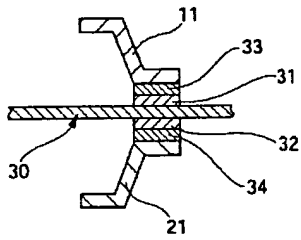
【図1】



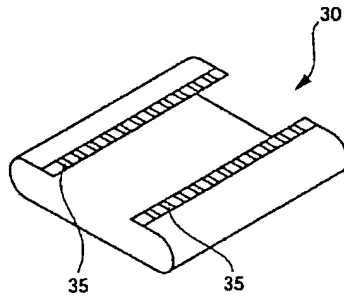
【図2】



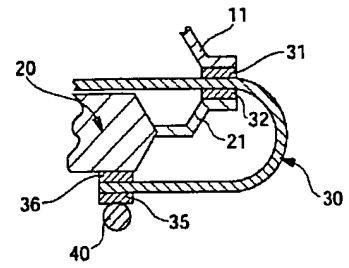
【図3】



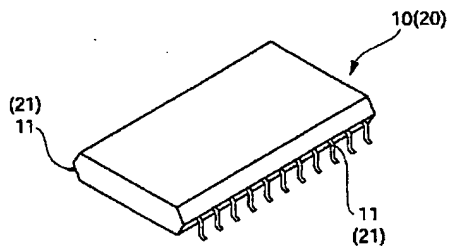
【図4】



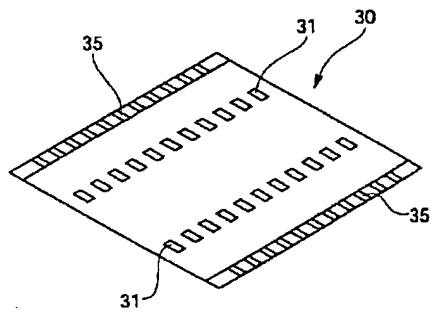
【図5】



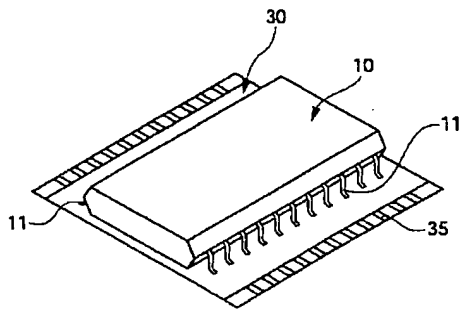
【図6】



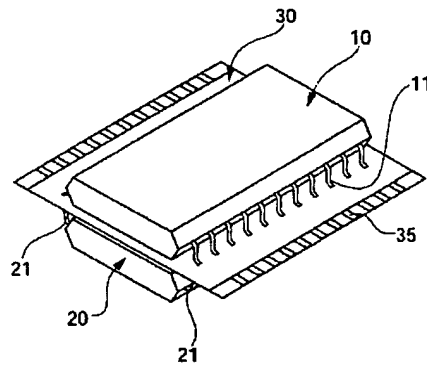
【図7】



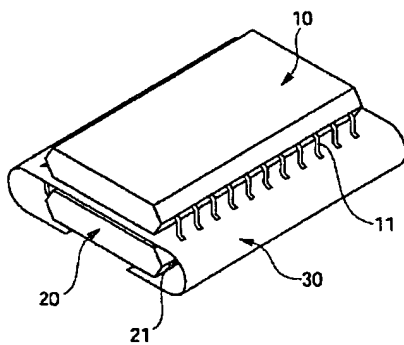
【図8】



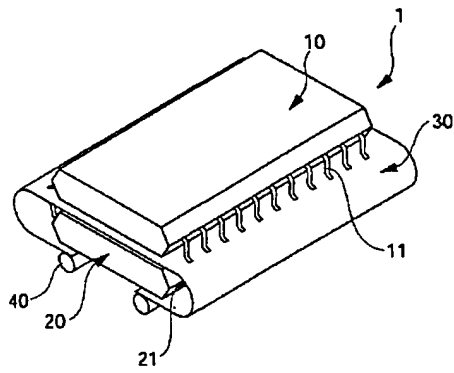
【図9】



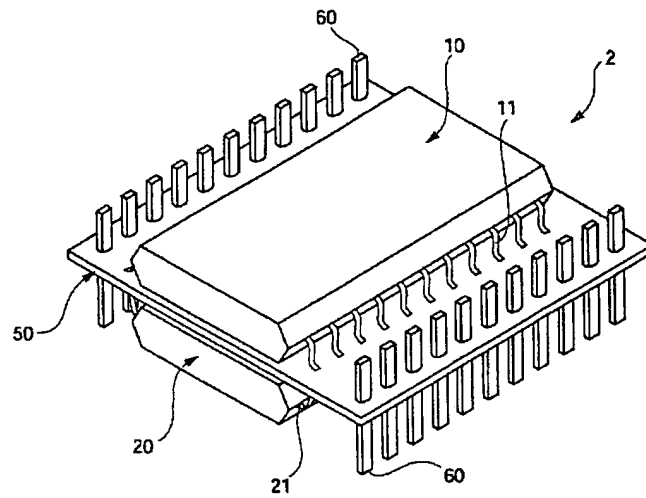
【図10】



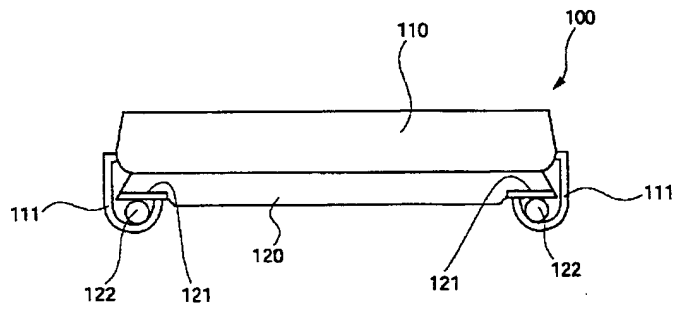
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.⁷

H 0 5 K 1/18

識別記号

F I

テーマコード (参考)